

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1997年11月17日

出 願 番 号  
Application Number:

平成 9年特許願第315455号

出 願 人  
Applicant(s):

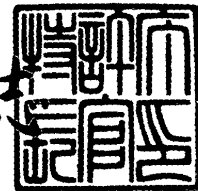
日本電気株式会社

*Amc*  
*4/7/98*  
*#3*

1998年 9月 4日

特 許 庁 長 官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平10-3070185

【書類名】 特許願

【整理番号】 34001613

【提出日】 平成 9年11月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明の名称】 撮像装置

【請求項の数】 16

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 田中 昭生

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100070219

【弁理士】

【氏名又は名称】 若林 忠

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100100893

【弁理士】

【氏名又は名称】 渡辺 勝

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項1】 撮像装置において、電磁波を電気信号に変換する複数の検出器と、この検出器に一定のバイアス電流を流す第1の定電流源と、この第1の定電流源につながり、検出器のばらつきを補正する第2の定電流源を有することを特徴とする撮像装置。

【請求項2】 撮像装置において、電磁波を電気信号に変換する複数の検出器と、この検出器に一定のバイアス電流を流す第1の定電流源と、この第1の定電流源につながり、検出器のばらつきを補正する第2の定電流源と、第1の定電流源につながり、前記バイアス電流をキャンセルする第3の定電流源を有することを特徴とする撮像装置。

【請求項3】 撮像装置において、電磁波を電気信号に変換する複数の検出器と、この検出器がエミッタにつながるバイポーラトランジスタと、このバイポーラトランジスタのコレクタにつながり、検出器のばらつきを補正する第2の定電流源を有することを特徴とする撮像装置。

【請求項4】 撮像装置において、電磁波を電気信号に変換する複数の検出器と、この検出器がソースにつながる電界効果トランジスタと、この電界効果トランジスタのドレインにつながり、検出器のばらつきを補正する第2の定電流源を有することを特徴とする撮像装置。

【請求項5】 前記第2の定電流源としてバイポーラトランジスタのエミッタに第1の抵抗を接続したものをを用いる請求項1から4のいずれか1項記載の撮像装置。

【請求項6】 前記第2の定電流源として電界効果トランジスタのソースに第1の抵抗を接続したものをを用いる請求項1から4のいずれか1項記載の撮像装置。

【請求項7】 前記第1の抵抗として前記検出器と同じ温度係数の抵抗を用いる請求項5または6記載の撮像装置。

【請求項8】 前記第2の定電流源は複数組のバイポーラトランジスタと第

1の抵抗からなり、この第1の抵抗の抵抗値は各バイポーラトランジスタのエミッタ面積に反比例する請求項5記載の撮像装置。

【請求項9】 前記第2の定電流源は複数組の電界効果トランジスタと第1の抵抗からなり、この第1の抵抗の抵抗値は各電界効果トランジスタのゲート長に反比例する請求項6記載の撮像装置。

【請求項10】 前記第1の抵抗の値が1K $\Omega$ から500K $\Omega$ 、好ましくは5K $\Omega$ から100K $\Omega$ である請求項5から9のいずれか1項記載の撮像装置。

【請求項11】 各検出器のばらつきデータを保持する2系統のデータバッファを有する請求項1から4のいずれか1項記載の撮像装置。

【請求項12】 信号処理回路のダイナミックレンジの上限と各画素の信号を比較する手段を有する請求項1から4のいずれか1項記載の撮像装置。

【請求項13】 信号処理回路のダイナミックレンジの下限と各画素の信号を比較する手段を有する請求項1から4のいずれか1項記載の撮像装置。

【請求項14】 前記比較結果にしたがって前記各検出器のばらつきデータを作成する制御回路を有する請求項12または13記載の撮像装置。

【請求項15】 前記比較結果にしたがって前記各検出器のばらつきデータを作成する手段を有する請求項12または13記載の撮像装置。

【請求項16】 前記各検出器のばらつきデータのMSBを操作して、前記比較結果にしたがってMSBの値を決定し、順次LSBまで同様の操作と判定によって各ビットの値を決定する手段を有する請求項12または13記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可視光や赤外線、紫外線、X線等の電磁波を電気信号に変換する撮像装置に関し、特に赤外線を電気信号に変換する赤外線撮像装置に関する。赤外線撮像装置は入射赤外線をフォトダイオード等で検出する量子型と、入射赤外線による構造体の温度上昇を熱電変換素子により電気信号に変換する熱型に分かれる。どちらも被写体表面の温度分布を計測する等の目的に使用される。

## 【0002】

## 【従来の技術】

従来の撮像装置としては、例えば本発明者の先願発明である特願平8-098009号に記載されたものがある。図8、9はこの従来の撮像装置の断面図と回路図を示したものである。この例は熱型赤外線撮像装置の例であり、図8に示すように半導体基板とその基板表面に回路を持ち、その上に入射赤外線を電気信号に変換する受光部を持つ。この回路および受光部は、二次元の赤外線画像が得られるように、複数の画素を集積化している。受光部は赤外線を吸収する赤外線吸収層29と、熱の逃げを防ぐダイヤフラム（シリコン酸化膜）28と、熱を電気信号に変換する熱電変換素子27からなる。

## 【0003】

ダイヤフラム28はその下層をエッチングで取り除くことによって、宙に浮いた膜状の構造が形成される。熱電変換素子27は、この例では温度によってその電気抵抗値が変化するボロメータを用いており、ボロメータとしてチタンを用いている。各画素に入射した赤外線は、各画素の赤外線吸収層29に吸収され、各画素のダイヤフラム28の温度を上昇させる。この温度上昇はチタンボロメータによって電気信号に変換され、基板上の回路を通じて順次外部に読み出される。図9において、チタンボロメータ901はダイヤフラム28上に形成されており、入射赤外線に対して感度がある。NPNトランジスタ902のベースに電圧 $V_{b1}$ を印加すると、NPNトランジスタ902のベース、エミッタ間電圧を $V_{BE}$ として、チタンボロメータ901には $(V_{b1} - V_{BE})$ の電圧がかかる。チタンボロメータ901の抵抗を $R_{b1}$ とすると、NPNトランジスタ902のコレクタには $I_{c1} = (V_{b1} - V_{BE}) / R_{b1}$ の電流が流れることになる。

## 【0004】

チタンボロメータ903は基板上に形成されており、入射赤外線に対して感度がない。これはチタンボロメータ903をチタンボロメータ901に対する基準として使用するためである。PNPトランジスタ904のベースに電圧 $V_{b2}$ を印加すると、上記と同様にPNPトランジスタ904のコレクタには、 $I_{c2} = (V_{b2} - V_{BE}) / R_{b2}$ の電流が流れる。ここで $R_{b2}$ はチタンボロメータ903の抵抗

である。

【0005】

入射赤外線を遮断した状態では、この  $I_{c1}$  と  $I_{c2}$  はつり合っており、積分コンデンサ905にはほとんど電流が流れない。赤外線が入射すると、熱分離されたダイヤフラムの温度が上昇し、ダイヤフラム上のチタンボロメータ901の抵抗値は変化する。この抵抗の変化は  $I_{c1}$  を変化させる。基板上のチタンボロメータ903の抵抗値は変化しないため、 $I_{c2}$  は変化しない。この  $I_{c1}$  の変化によって、差分  $\Delta I = (I_{c2} - I_{c1})$  が生じ、積分コンデンサ905に蓄えられる。この差分  $\Delta I$  は、信号成分と除ききれなかったバイアス成分であり、大きなバイアス成分は取り除かれる。

【0006】

その他の撮像装置の例としては、例えば特開平1-289381号公報に示す増幅型固体撮像装置の例がある。これはフォトダイオードとカレントミラー回路を組み合わせて増幅素子の  $V_T$  (しきい値電圧) や寄生容量の影響を減らそうとしたものである。

【0007】

また、特開平6-78218号公報に示されている例では、ある画素について積分時間が長い場合と短い場合の出力信号の差をとり、固定パターンノイズ (FPN) を除去する例が示されている。

【0008】

また、特開平8-242330号公報に示されている例では、ある画素について信号をリセットする直前と直後の差をとり、読み出し回路のばらつきを補正している。

【0009】

【発明が解決しようとする課題】

特開平8-098009は、大きなバイアス成分をカットして信号成分を取り出すことができるが、画素間のばらつきが大きい場合信号の増幅度を上げることが難しい。

【0010】

通常、複数の画素からなる撮像装置では画素間のばらつきが存在する。これは赤外線撮像装置や増幅型撮像装置に特に顕著に現れる。これら画素間のばらつきの原因は、あるものはボロメータなどの検出器のばらつきであったり、あるものは増幅素子のVTや寄生容量のばらつきであったりする。ボロメータ型赤外線撮像装置を例にとると、ボロメータ抵抗はボロメータ膜の厚さのばらつきや比抵抗のばらつき、パターンニングしたときの寸法のばらつきなどで数%から数10%程度ばらつく。

## 【0011】

このようなばらつきは、信号を読み出す上で大きな支障となる。例えば温度差1℃の被写体を見たときボロメータ部の温度変化は1m℃程度であり、これによるボロメータの抵抗変化はボロメータの抵抗温度係数1%/℃として0.001%程度である。この微弱な抵抗変化を読み取るには撮像素子上で増幅することが好ましいが、画素間の抵抗ばらつきが大きいと、そのままではばらつきによって増幅回路のダイナミックレンジが制限され、増幅度が上げられない。

## 【0012】

これに対して特開平1-289381号公報、特開平6-78218号公報、特開平8-242330号公報に示されている増幅型固体撮像装置の例は、どれも寄生容量やVTのばらつきなど増幅素子に含まれているばらつきだけを補正するものであり、検出器自体のばらつきを補正するものではない。

## 【0013】

本発明の目的は、検出器や増幅素子のばらつきなどによって起こる画素間のばらつきを補正し、撮像素子内または撮像素子外において行う信号増幅や信号処理を円滑に行うことができる撮像装置を提供することである。

## 【0014】

## 【課題を解決するための手段】

本発明の第1の撮像装置は、電磁波を電気信号に変換する複数の検出器（図1の101）と、この検出器との一定のバイアス電流を流す第1の定電流源（図1の102）と、この第1の定電流源につながり、検出器のばらつきを補正する第2の定電流源（図1の113）を有する。



## 【0015】

本発明の第2の撮像装置は、電磁波を電気信号に変換する複数の検出器（図1の101）と、この検出器に一定のバイアス電流を流す第1の定電流源（図1の102）と、この第1の定電流源につながり、検出器のばらつきを補正する第2の定電流源（図1の113）と、同様に第1の定電流源につながり前記バイアス電流をキャンセルする第3の定電流源（図1の104）を有する。

## 【0016】

本発明の第3の撮像装置は、電磁波を電気信号に変換する複数の検出器（図1の101）と、この検出器がエミッタにつながるバイポーラトランジスタ（図1の102）と、このバイポーラトランジスタのコレクタにつながり、検出器のばらつきを補正する第2の定電流源（図1の113）を有する。

## 【0017】

本発明の第4の撮像装置は、電磁波を電気信号に変換する複数の検出器（図7の701）と、この検出器がソースにつながる電界効果トランジスタ（図7の702）と、この電界効果トランジスタのドレインにつながり、検出器のばらつきを補正する第2の定電流源（図7の713）を有する。

## 【0018】

第2の定電流源を持つことによって、増幅素子のばらつきや検出器自体のばらつきを含めた各画素のばらつきを補正し、チップ上の増幅回路の増幅度を上げることができる。

## 【0019】

本発明の第5の撮像装置は、第1から第4の撮像装置において、第2の定電流源としてバイポーラトランジスタ（図1の116）のエミッタに第1の抵抗（図1の115）を接続したものをを用いる。

## 【0020】

本発明の第6の撮像装置は、第1から第4の撮像装置において、第2の定電流源として電界効果トランジスタのソースに第1の抵抗（図7の715）を接続したものをを用いる。

## 【0021】

この構成の第2の定電流源を用いることによって、トランジスタ回路の増幅率を下げて、トランジスタ自身のノイズが定電流出力に現れにくくなる。

【0022】

本発明の第7の撮像装置は、第5、第6の撮像装置において、第1の抵抗として前記検出器と同じ温度係数の抵抗を用いる。

【0023】

これによって、検出器と定電流回路の温度係数が同じになり、温度ドリフトを軽減する作用がある。

【0024】

本発明の第8の撮像装置は、第1から第4の撮像装置において、第2の定電流源（図1の113）は複数組のバイポーラトランジスタ（図1の116）と第1の抵抗（図1の115）からなり、この第1の抵抗の抵抗値は各バイポーラトランジスタのエミッタサイズに反比例する。

【0025】

本発明の第9の撮像装置は、第6の撮像装置において、第2の定電流源（図7の713）は複数組の電界効果トランジスタ（図7の716）と第1の抵抗（図7の715）からなり、この第1の抵抗の抵抗値は各電界効果トランジスタのゲート長に反比例する。

【0026】

この構成によって精度の高いばらつき補正が実現できる。

【0027】

本発明の第10の撮像装置は、第5から第9の撮像装置において、第1の抵抗の値が1K $\Omega$ から500K $\Omega$ 、好ましくは5K $\Omega$ から100K $\Omega$ である。

【0028】

この範囲の抵抗を用いることによってデバイスの耐圧を上昇させることなく、ジョンソンノイズを低減することができる。

【0029】

本発明の第11の撮像装置は、第1から第4の撮像装置において、各検出器のばらつきデータを保持する2系統のデータバッファ（図2の209と210）を

有する。

【0030】

2系統のデータバッファを用いることによって、信号の積分期間中でも補正データのデバイス内への読み込みが可能となる。つまりは信号の積分時間を長くとることができる、ノイズを低減できる。

【0031】

本発明の第12の撮像装置は、第1から第4の撮像装置において、信号処理回路のダイナミックレンジの上限と各画素の信号を比較する手段（図5の511）を有する。

【0032】

本発明の第13の撮像装置は、第1から第4の撮像装置において、信号処理回路のダイナミックレンジの下限と各画素の信号を比較する手段（図5の511）を有する。

【0033】

本発明の第14の撮像装置は、第12、第13の撮像装置において、前記比較結果にしたがって前記各検出器のばらつきデータを作成する制御回路（図5の512）を有する。

【0034】

本発明の第15の撮像装置は、第14の撮像装置において、前記比較結果にしたがって前記各検出器のばらつきデータを作成する手段を有する（図6）。

【0035】

本発明の第16の撮像装置は、前記各検出器のばらつきデータのMSBを操作して、前記比較結果にしたがってMSBの値を決定し、順次LSBまで同様の操作と判定によって各ビットの値を決定する手段を有する（図6）。

【0036】

これらの構成によって、各画素のばらつき補正データを容易にかつ短い時間で取得することができる。これは、信号のダイナミックレンジを監視しながら、補正データの各ビットを探索するアルゴリズムを用いているからである。

【0037】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0038】

図1(a)は、本発明の一実施形態を示す撮像装置の読み出し回路部分の回路図である。

【0039】

半導体基板上に熱電変換素子101、NPNトランジスタ102、抵抗103、PNPトランジスタ104、スイッチ100、FPN補正定電流源113、積分コンデンサ105、リセットスイッチ106が形成されている。熱電変換素子101はこの例ではダイヤフラム上に形成されたボロメータを用いており、入射赤外線に対して感度がある。この熱電変換素子101は後述するように、基板上に1次元ないしは2次元に多数形成され、スイッチ100によって切り換えて順次選択していく。

【0040】

NPNトランジスタ102のベースに電圧 $V_{b1}$ を印加すると、NPNトランジスタ102のベース、エミッタ間電圧を $V_{BE}$ として、熱電変換素子101には( $V_{b1} - V_{BE}$ )の電圧がかかる。熱電変換素子101の抵抗を $R_{b1}$ とすると、NPNトランジスタ102のコレクタには $I_{c1} = (V_{b1} - V_{BE}) / R_{b1}$ の電流が流れることになる。

【0041】

PNPトランジスタ104のベースに電圧 $V_{b2}$ を印加すると、上記と同様にPNPトランジスタ104のコレクタには、 $I_{c2} = (V_{b2} - V_{BE}) / R_{b2}$ の電流が流れる。ここで、 $R_{b2}$ は抵抗103の抵抗値である。この $I_{c1}$ と $I_{c2}$ はほぼつりあっており、積分コンデンサ105にはわずかな差分 $\Delta I = (I_{c2} - I_{c1})$ が流れる。この差分 $\Delta I$ は、信号成分と除ききれなかったバイアス成分であり、大部分のバイアス成分は取り除かれている。

【0042】

赤外線が入射すると、熱分離されたダイヤフラムの温度が上昇し、ダイヤフラム上の熱電変換素子101(ここではボロメータ)の抵抗値が変化する。この抵

抗の変化は電流  $I_{c1}$  を変化させ、積分コンデンサ 105 に蓄積される。

#### 【0043】

除ききれないバイアス成分は、順次選択していく複数の熱電変換素子 101 間のばらつきによって生じる。 $R_{b2}$  は固定であるため、多数ある  $R_{b1}$  の間に大きなばらつきがあると差分  $\Delta I$  にもばらつきを生じる。FPN 補正定電流源 113 はこのばらつきを補正する定電流源であり、例えば図 1 (b) のような構成になっている。

#### 【0044】

FPN 補正定電流源 113 は、NPN トランジスタ 116 と、そのエミッタにつながる抵抗 115 と、コレクタにつながるスイッチ 117 からなる。FPN 補正定電流源 113 は何段かの定電流源から構成され、各定電流源の電流値は  $I_0$  ,  $2I_0$  ,  $4I_0$  ,  $\dots$  のように 2 の整数乗の重み付けがしてある。この 2 の整数乗の重み付けをするために、抵抗 114 は  $R_0$  ,  $R_0/2$  ,  $R_0/4$  ,  $\dots$  のように電流に反比例して重み付けがしてある。抵抗のばらつきを最小限にするため、 $R_0/2$  という単位抵抗を組み合わせることによって各抵抗を得ている。

#### 【0045】

さらに、NPN トランジスタ 115 のエミッタサイズは、電流  $I_0$  の段のエミッタサイズを基本 ( $m=1$ ) として、2 倍 ( $m=2$ )、4 倍 ( $m=4$ )、 $\dots$  のように、電流に比例して重み付けがしてある。前述した  $R_{b1}$  のばらつきに応じて各段のスイッチをオン/オフすることによって、差分  $\Delta I$  を減らすことができる。定電流源が  $n$  段あるビットの場合、差分  $\Delta I$  を  $1/2^n$  に減らす効果がある。

#### 【0046】

エミッタサイズ ( $m$ ) を変えているのは次の理由による。ベース電流  $I_B$  とベース-エミッタ間電圧  $V_{BE}$  との関係は、逆方向リーク電流を  $I_{B0}$ 、素電荷を  $q$ 、ボルツマン定数を  $k$ 、絶対温度を  $T$  として、

$$I_B = m I_{B0} \exp [q V_{BE} / k / T]$$

となる。ベース電流は電流増幅率を  $\beta$  として、 $I_B = I_C / \beta$  で表せられるため

、 $m$ が一定のままコレクタ電流が変化すると $V_{BE}$ も変化してしまう。各トランジスタのベースには同じ電圧 $V_{b1}$ が印加されているため、各段の $V_{BE}$ が異なると各段の電流値は正確に上記のようにならない。 $m$ を電流値に比例して変えることによって各段の $V_{BE}$ は同じになり、電流値を上記のように設定することができる。

【0047】

エミッタに抵抗を接続するこの構成は、NPNトランジスタ115のショットノイズ、ベース抵抗( $r_{bb}$ )のジョンソンノイズ、ベースにつながる定電圧源のノイズなどの影響を減らす効果がある。

【0048】

図3は図1(b)の回路のエミッタ抵抗を変えたときに、コレクタに流れる電流性ノイズを示したものである。 $R$ はエミッタにつないだ抵抗のジョンソンノイズ、 $I_C$ はコレクタ電流のショットノイズ、 $I_B$ はベース電流のショットノイズ、 $r_{bb}$ はベース抵抗のジョンソンノイズ、 $Total$ はトータルのノイズを表す。コレクタ電流が $10\mu A$ の場合を示している。これは通常ボロメータに流す電流が $100\mu A$ 程度であり、ボロメータ抵抗のばらつきを10%程度とすると、補正電流源の値は $100\mu A$ の10%の $10\mu A$ 程度となるためである。

【0049】

上記トータルノイズはエミッタ抵抗を大きくすることで小さくなる。エミッタ抵抗値を $1K\Omega$ 以上にすることでトータルノイズは減り始めるが、 $5K\Omega$ 程度以上にすることで、 $1K\Omega$ 以下の場合より3dB程度トータルノイズを下げられる。3dBという数値は、人間の目がその改善を識別できる限界の値である。コレクタ電流を $10\mu A$ とした場合、エミッタ抵抗を $500K\Omega$ 以下にすることでエミッタ抵抗両端の電圧は5V以下となり、通常のBiCMOS回路で扱うことができる。エミッタ抵抗の値を $100K\Omega$ 以下にすることで、エミッタ抵抗両端の電圧は1V以下となり、回路のダイナミックレンジに余裕ができる。したがって、エミッタ抵抗の値は、 $1K\Omega$ から $500K\Omega$ 、好ましくは $5K\Omega$ から $100K\Omega$ としている。

【0050】

図1(b)のようにスイッチ117をコレクタに接続する構成は、スイッチに

存在する  $1/f$  ノイズ、ジョンソンノイズ等の影響を減らすことができ好ましい。これは定電流動作をしているNPNトランジスタ116のインピーダンスが非常に大きいため、スイッチ117に存在する電流性ノイズが見えにくいためである。これによってスイッチ117として  $1/f$  ノイズが大きいMOSFETでも使用できる。MOSFETはオン/オフの制御が容易であるため、スイッチとしては好ましい。

## 【0051】

撮像装置の温度ドリフトを減らすために、FPN補正定電流源113の電流値  $I_0$ ,  $2I_0$ ,  $4I_0$ , ... は温度依存性を小さくする必要がある。このため、電流値  $I_0$ ,  $2I_0$ ,  $4I_0$ , ... の基準となるベース印加電圧  $V_{b3}$  は、温度依存性が小さくなるように設計する。 $V_{b3}$  はチップ内部で発生しても外部から入力してもよいが、温度依存性を小さくするにはバンドギャップリファレンス等の温度依存性の非常に小さい定電圧源を使うことが好ましい。また、赤外線撮像装置の用途では、チップを一定温度に冷却したり、ベルチェ素子等で常温に一定に保ったりするため、チップ上に定電圧源を形成すれば温度が一定に保たれる効果がある。PNPトランジスタ118と定電流源119はエミッタフォロワを構成している。このエミッタフォロワのベースに  $V_{b3}$  を入力することによってPNPトランジスタ118の  $V_{BE}$  の温度依存性（約  $-2\text{ mV}/^\circ\text{C}$ ）と、NPNトランジスタ116の  $V_{BE}$  の温度依存性をキャンセルさせることができる。ただし、上述したように、チップを一定温度に保つ場合は、このエミッタフォロワを省略してNPNトランジスタ116のベースに直接  $V_{b3}$  を印加することも可能である。

## 【0052】

FPN補正定電流源113によって  $1/2^n$  と成った差分  $\Delta I$  は、積分コンデンサ105に蓄えられる。バイアス成分の除去とFPN補正によって積分コンデンサ105に蓄えるべき電荷量を小さくでき、積分コンデンサ105を小さくできる。

## 【0053】

例えば、 $I_{c1} = 200\text{ }\mu\text{A}$  のバイアス電流を流したとき、 $1^\circ\text{C}$  の温度差の被写体を見たときの信号成分はこの内の  $8\text{ nA}$  程度（ダイヤフラムの温度上昇は  $2\text{ m}$

℃、ボロメータの温度係数は $2\%/^{\circ}\text{C}$ で計算)である。 $100^{\circ}\text{C}$ のダイナミックレンジを仮定しても、信号は $800\text{ nA}$ 程度である。この程度の電流を蓄積するには非常に小さな積分コンデンサで済むが、実際には次のように除ききれないバイアス成分がある。 $I_{c2}$ の設計中心を $200\text{ }\mu\text{A}$ 、 $R_{b1}$ のばらつきを $10\%$ とすると、除ききれないバイアス成分 $\Delta I$ は $\pm 10\text{ }\mu\text{A}$ 程度生じてしまう。これをそのまま積分コンデンサ $105$ に蓄え、積分コンデンサ $105$ として $400\text{ pF}$ (積分時間 $100\text{ }\mu\text{s}$ 、コンデンサ耐圧 $5\text{ V}$ で計算)もの大きな容量が必要になる。これに対してFPN補正定電流源 $113$ として3段の定電流源を用いると、差分 $\Delta I$ は $1/8$ となり、約 $500\text{ pF}$ の積分コンデンサで済む。

## 【0054】

積分コンデンサ $105$ に蓄えられた信号は、NMOSFET $107$ 、 $108$ で構成されるソースフォロワで高インピーダンスから低インピーダンスに変換される。スイッチ $109$ 、ホールドコンデンサ $110$ で構成されるサンプル・ホールド回路は、時系列でやってくる信号をサンプルして一時保持する。スイッチ $109$ は、PMOSFET、NMOSFETのソース同士、ドレイン同士を接続したトランスファークロウで構成される。NMOSFET $111$ 、 $112$ もソースフォロワを構成し、低インピーダンスで $114\text{ S/H}_{\text{out}}$ に出力する。

## 【0055】

図2は図1(a)の読み出し回路と周辺を含めた撮像素子全体の回路図である。読み出し回路は、水平シフトレジスタ $201$ とマルチプレクサ $202$ 、FPN補正定電流源 $203$ 、読み出し回路 $204$ 、水平スイッチ $205$ 、垂直シフトレジスタ $206$ 、熱電変換素子 $207$ 、画素スイッチ $208$ 、FPN補正バッファ $209$ 、FPN補正バッファ $210$ 等からなる。

## 【0056】

熱電変換素子 $207$ はこの例では基板上に2次元にマトリクス状に形成され、画素スイッチ $208$ によって切り換えて順次選択していく。各熱電変換素子の信号を読み出すために、この例ではマトリクスの各列に読み出し回路 $204$ を形成して信号を読み出している。読み出し回路をどのように形成するかは以下のようなトレードオフがある。



## 【0057】

各列に読み出し回路を形成した場合、各列が同時に読み出し動作を行えるため、読み出しの時間を長くとることができる。読み出し時間が長いと、その分信号のノイズ帯域を狭くすることができ、ノイズを低減することができる。その反面読み出し回路の数が多くなり、チップ面積が大きくなってしまう。

## 【0058】

1個の読み出し回路を複数の列で分け合って使用すれば読み出し回路の数が減って、チップ面積の縮小になる。その反面、時分割で分け合って使用する分読み出し時間が短くなり、ノイズ帯域が広がってしまう。

## 【0059】

垂直シフトレジスタ206はマトリクスの各行を順次選択していく。

## 【0060】

FPN補正定電流源203に供給されFPN補正用のデータは、例えばチップ外のメモリに全画素分蓄える。各列の読み出し回路が積分等の読み出し動作を行っている間、データバッファ210は読み出している画素のFPNデータを保持している。前述したようにノイズ低減のために積分等の読み出し時間を長くとる必要があり、データバッファ210のデータの入れ換えは瞬時に行うことが望ましい。本発明では2系統のデータバッファを持ち、データバッファ210に読み出し中の画素のFPNデータを保持しながら、データバッファ209に次に読み出す画素のFPNデータを順次ロードしていく。読み出しが次の画素に変わるときに、LE信号を用いてデータバッファ209の内容をデータバッファ210に転送する。

## 【0061】

各列の読み出し回路204の出力は、各読み出し回路204内のサンプル・ホールド回路に保持されている。各列のサンプル・ホールド出力 $S/H_{out}$ はマルチプレクサ202によって順次選択され、ソースフォロワ211を介して出力Outに出力される。水平シフトレジスタ201の各列のマルチプレクサ202のスイッチを順次選択するのと、各列のFPNデータバッファ209を順次選択するのに用いられる。DFPNはFPNデータバッファ209につながるデータバ

スで、例えば各列のFPN補正定電流源203が3ビットの場合3本のラインとなる。

## 【0062】

図4は各部の信号のタイミングを示したタイミング図である。 $\phi V$ は例えば30Hz程度の垂直同期信号であり、垂直シフトレジスタ206のデータ端子に入力する。 $\phi H$ は例えば7KHz程度の水平同期信号であり、垂直シフトレジスタ206のクロック端子に入力する。これによって垂直シフトレジスタ206からは、V1, V2, ...の各行を選択する信号が出力される。

## 【0063】

ある行を選択している間、各列の読み出し回路において積分等の読み出し動作が行われる。 $V_C$ は、図1の積分コンデンサ105の電圧波形（積分波形）である。サンプル・ホールド回路に $\phi S/H$ を印加して、積分後の電圧をサンプリングしてホールドコンデンサに保持する。サンプリング後リセットスイッチにリセットパルス $\phi R$ を印加して積分コンデンサをリセットする。

## 【0064】

水平シフトレジスタ201のデータ端子に $\phi H$ 、クロック端子に $\phi CLK$ を入力することで、H1, H2, ...の信号を得る。H1, H2, ...は、図2のマルチプレクサ202と、FPNデータバッファ209を順次選択する。

## 【0065】

$\phi H'$ は $\phi H$ と同じ信号を使用してもよい。各列のホールドコンデンサに保持された信号は、マルチプレクサ202を介して出力端子にOutのように出力される。

## 【0066】

FPNデータ（DFPN）はある行の読み出しの前にFPNデータバッファ209に転送され、行を切り換えるタイミングでFPNデータバッファ210に転送され保持される。図2のデータバッファ209の制御端子（書き込みを制御する端子）にはH1, H2, ...を入力し、データバッファ210にはLEを入力する。

## 【0067】

図5は本発明の一実施形態を示す撮像装置全体のブロック図である。撮像装置は、撮像素子501、増幅器502、サンプルホールド503、A/Dコンバータ504、VRAM505、FPNメモリコントローラ506、FPNメモリ507、デジタル減算器508、D/Aコンバータ509、NTSC信号発生器510、コンパレータ511、FPNメモリーコントローラ512、FPNメモリ513などからなる。

【0068】

撮像素子501は例えば図2に示した構成を一つのシリコン基板上に形成する。入射光は光学系516によって撮像素子501上に集光され、撮像素子501によって電気信号に変換され、積分回路等によって増幅されて外部に出力される。増幅器502はこの出力信号を増幅し、サンプル・ホールド回路503は信号を一時保持する。A/D変換器504はこの保持された信号をデジタル信号に変換する。なお、増幅器502は、撮像素子501の出力信号が十分大きければ省略することは可能である。

【0069】

このA/D変換器504のビット数は、赤外線撮像装置を例にとって考えると次のようになる。被写体の温度分解能を0.1℃、被写体の温度のダイナミックレンジを100℃とすると、この時点で10ビット（約1000階調）のビット数が必要になる。さらに量子化誤差を減らすため、最小温度分解能当たり2ビット（4階調）を割り振ると、合計12ビットのデータ幅がA/D変換器504に必要なになる。

【0070】

VRAM505は各画素の12ビットのデジタル信号を保持するメモリであり、例えば撮像素子501が320×240の画素数であるとした場合、320×240×12ビット程度の容量であればよい。データのバイト単位で管理するために、必要に応じて大きな容量（例えば320×240×16ビット）を容易することは可能である。

【0071】

FPNメモリ507は、後述する撮像素子内で行うFPN補正で取りきれなか

ったばらつきを補正するためのメモリであり、補正のための各画素のばらつきデータが保持されている。FPNメモリコントローラ506はこのFPNメモリ507を制御するための回路であり、デジタル減算器508はリアルタイムでやってくる各画素の信号から、各画素のばらつき量を減算するためのものである。このばらつきデータの取得は、後述する撮像素子内のFPN補正データを取得した後、次のようなシーケンスで行うとよい。

#### 【0072】

入射光をシャッター等で遮断した状態A/D変換器504から出力される各画素のデータは、撮像素子内のFPN補正で取りきれなかったばらつきをもっている。このデータをFPNメモリ507に記憶させる。この操作は電源投入時や、前回の補正がずれたときなどに行う。通常の撮像状態では、この記憶されたFPNメモリ507のばらつきデータを減算器508に渡して、リアルタイムでやってくる各画素の信号から減算してばらつきのない信号を得る。

#### 【0073】

なお、減算器508は、FPNメモリ507のデータの補数をとる等して、加算器に変更することは当然可能である。また、減算器508はVRAM505とD/A変換器509の間にあってもよい。

#### 【0074】

D/A変換器509はこの処理されたデジタル信号をアナログ信号に変換して、NTSC信号発生器510に出力する。NTSC信号発生器510は、このアナログ信号と同期信号を合成してNTSCコンポジット信号を出力する。NTSC信号発生器510はNTSCに限らず、必要に応じてPALやRGB出力等他の方式の信号発生器でもよい。

#### 【0075】

撮像素子内のFPN補正回路（図1（b））に供給する補正データの取得は次のようにして行う。コンパレータ511はこの例ではデジタルコンパレータであり、各画素の信号レベルとある基準レベルとの大小関係を判定する。この基準レベルは、撮像素子内の積分回路や増幅器、A/D変換器等、信号処理回路のダイナミックレンジの上限または下限に設定したり、この上限または下限にあるレベ

ルの余裕を加えた値に設定することができる。大小関係の判定は、ある基準レベル以上のものを良としたり、ある基準レベル以下のものを良としたり、ある2つの基準レベルの範囲内のものを良としたりすることができる。

【0076】

F P Nメモリコントローラ512はこの比較結果にしたがってF P N補正データを作成する。作成されたF P N補正データはF P Nメモリ513に保持される。F P Nメモリ513は全画素数にこのF P N補正データのビット数を掛けた容量であればよい。例えば320×240の画素数で、F P N補正データのビット数が3ビットの場合320×240×3ビットの容量があればよい。データをバイト単位で制御するために、必要に応じて容量を大きくすることは可能である。

【0077】

514は撮像素子を一定温度の保つバルチェ等の温度安定化素子であり、515はその制御回路である。

【0078】

図6はF P N補正データの作成方法を表すフローチャートである。F P N補正データのビット数を3ビットと仮定している。F P Nメモリ573の全てのアドレスのデータをクリアするステップ601、MSBからLSBまでビット位置を変化させるステップ602、F P Nメモリ513の全てのアドレスのあるビットbを1にセットするステップ603、Vアドレスを変化させる命令ステップ604、Hアドレスを変化させる命令ステップ605、コンパレータ511の判定をもとに条件ジャンプするステップ606、F P Nメモリ513のあるアドレスのあるビットbを0にリセットするステップ607等からなっている。

【0079】

これらの論理IC等を用いてハードウェアで構成することもできるし、CPU等を用いてソフトウェアで構成することもできる。ハードウェアで構成すれば各操作を高速にできる。ソフトウェアで構成すれば、プログラムの変更や機能の追加等の自由度が増す。

【0080】

ステップ601では例えば320×240×3ビットの容量のF P Nメモリ5

13の全てのビットを0にする。これは以後MSBからLSBまで1ビットずつビットを操作しながら信号のレベルを判定するときに、あらかじめ全てのビットをクリアしておく必要があるためである。判定の条件によっては全てのビットを1にクリアしてもよい。

【0081】

ステップ620はMSBからLSBまで操作するビットを順次変えていく部分であり、図6のようなループの処理を行う。これはハードウェア的に操作するビットをセレクタで選択してもよいし、ソフトウェア的にループ処理を行ってもよい。

【0082】

ステップ603はFPNメモリ513の全てのアドレスのあるビットbのみを1にセットする操作である。あるビットbはステップ602で選択したビットである。これによってビットとして例えばMSBを選択している場合、全てのアドレスのデータは100という2進数になる。2ビット目を選択している場合は、全てのアドレスデータは\*10（\*はMSBを選択したときの処理における判定結果によって0か1が変わる。）という2進数になる。LSBを選択している場合は、全てのアドレスのデータは\*\*1という2進数になる。このように注目しているビットを1にして、それより下位のビットを0にしておき、そのときの信号レベルを判定することで、注目しているビットが0か1か判定することができる。

【0083】

ステップ604はVアドレスを変化させる部分、ステップ605はHアドレスを変化させる部分である。ステップ604、605は図5のようなループを形成している。ステップ604は例えば0から239までVアドレスを変化させる。ステップ605は例えば0から319までHアドレスを変化させる。VやHアドレスを順次変化させて、各画素についてステップ606、607等の処理を行う。

【0084】

ステップ606ではコンパレータでの判定をもとに以後の処理を2つに分ける。

。この例では、VRAMの注目している画素のデータをデジタルコンパレータで判定する方法を採用している。この判定においてあるレベル未満であった場合、この注目している画素は与えたデータではダイナミックレンジの下限に入っていないことになる。これはこの画素のビットbが、ステップ603において設定した1ではなく0であることを意味する。このようにステップ606の判定であるレベル未満であった場合、ステップ607においてFPNメモリ513の注目している画素のビットbを0にリセットする。ステップ606の判定であるレベル以上であった場合、ビットbは1のままでよい。ステップ607は実行しない。

#### 【0085】

コンパレータの判定はこの例の他に、撮像装置のアナログ信号部分のレベルをアナログコンパレータであるレベルと比較してもよい。あるレベルは、例えばダイナミックレンジの上限または下限からある程度余裕を取った値にするとよい。これは温度ドリフト、およびその他のドリフトによってもダイナミックレンジがずれないようにするためである。ダイナミックレンジの上限を判定として使うか、下限を使うか、両者を使うかは設計によって任意に変更可能である。

#### 【0086】

以上説明したように、このフローチャートでは操作するビットを変化させる大きなループ602の中に、操作する画素を変化させる小さなループ604、605を入れている。通常あるビットを操作して、その判定を読み取るまで最低でも1フレーム（例えば3.3ms）の時間を要する。本フローチャートの方式を採用することによって、例えばnビットのFPN補正の場合、nフレームの時間でFPNデータの取得ができることになり、非常に短い時間で処理が完了できる。

#### 【0087】

この撮像素子内のFPN補正データの作成は、撮像装置の出荷時に一度行うか、定期点検などに行えばよい。いずれにせよ撮像素子外で微少な補正を行う前の粗い補正であるため、撮像素子外の補正の頻度よりはるかに少ない頻度でよい。使用するメモリとしては、SRAM、DRAM等も使用できるが、バックアップ電源を必要としないEPROMや電氣的に消去可能なEEPROMなどの使用が

望ましい。撮像素子内のFPN補正データの作成が出荷時に一度でよい場合、前記取得のための回路511、512などは撮像装置外に置くこともできる。

## 【0088】

図1で示した構成は、一部のバイポーラトランジスタを電界効果トランジスタに変更することで通常のCMOS回路で形成することができる。図7は電界効果トランジスタで構成した読み出し回路部の回路（図7（a））とFPN補正定電流源の回路図（図7（b））である。

## 【0089】

図7（a）の回路はN型電界効果トランジスタ702、P型電界効果トランジスタ704を用いており、その他の構成および効果は図1（a）の回路と同じである。

## 【0090】

図7（b）の回路はN型電界効果トランジスタ716を用いており、その他の構成および効果は図1（b）の回路と同じである。なお、図7中の参照数字は図1中の参照数字の下2桁が同じものと同じ機能を有する。

## 【0091】

電界効果トランジスタとしてMOSFETの他、接合型電界効果トランジスタ（JFET）、チャネルとして半導体基板表面を使用しない埋込型MOSFETも利用できる。特にJFET、埋込型MOSFETは $1/f$ ノイズ等のノイズを小さくできる効果がある。

## 【0092】

## 【発明の効果】

以上説明したように、本発明は下記のような効果がある。

## 【0093】

請求項1から4の発明は、各画素のばらつきを補正する定電流源を持つことによって、増幅素子のばらつきや検出器自体のばらつきを含めた各画素のばらつきを補正することができ、チップ上の増幅回路の増幅度を上げることができる。

## 【0094】

請求項5と6の発明は、エミッタまたはソースに抵抗を接続する構成を用いる



ことによって、トランジスタ自身のノイズが定電流出力に現れにくくなる。

【0095】

請求項7の発明は、上記抵抗として検出器と同じ温度係数の抵抗を用いることによって、検出器と定電流回路の温度係数が同じになり、温度ドリフトを軽減できる。

【0096】

請求項8と9の発明は、精度の高いばらつき補正を実現できる。その理由は、上記定電流源として複数組のバイポーラトランジスタと抵抗を用い、この抵抗の抵抗値を各バイポーラトランジスタのエミッタ面積に反比例することによって抵抗にかかる電圧を高い精度で同じにしているためである。

【0097】

請求項10の発明は、上記抵抗として1K $\Omega$ から50K $\Omega$ 、好ましくは5K $\Omega$ から100K $\Omega$ の抵抗を用いることによって、デバイスの耐圧を上昇させることなく、ジョンソンノイズを低減できる。

【0098】

請求項11の発明は、2系統のデータバッファを用いることによって、信号の積分期間中でも補正データのデバイス内への読み込みが可能とし、つまりは信号の積分時間を長くとることができ、ノイズを低減できる。

【0099】

請求項12から16の発明は、各画素のばらつき補正データを容易にかつ短い時間で取得することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の線撮像装置を示す回路図で、同図(a)は読み出し回路の回路図、同図(b)は読み出し回路内のFPN補正定電流源の回路図である。

【図2】

本発明の一実施形態の撮像装置の撮像素子全体の回路図である。

【図3】

図1(b)の回路のエミッタ抵抗を変えたときに、コレクタに流れる電流性ノ

イズを示す図である。

【図4】

図1の撮像装置の動作を表すタイミング図である。

【図5】

本発明の一実施形態の撮像装置を示す全体のブロック図である。

【図6】

本発明の一実施形態の撮像装置を示す、ばらつき補正データ取得のためのフローチャートである。

【図7】

本発明の一実施形態の線撮像装置を示す回路図で、同図(a)は読み出し回路部の回路図、同図(b)は読み出し回路内のFPN補正定電流源の回路図である。

【図8】

従来の撮像装置の断面図である。

【図9】

従来の撮像装置の回路図である。

【符号の説明】

- 101 検出器
- 102 NPNトランジスタ
- 103 抵抗
- 104 PNPトランジスタ
- 105 積分コンデンサ
- 106 リセットスイッチ
- 107, 108 NMOSFET
- 109 スイッチ
- 110 ホールドコンデンサ
- 111, 112 NMOSFET
- 113 FPN補正定電流源
- 114 サンプル・ホールド出力 ( $S/H_{out}$ )

115	抵抗
116	NPNトランジスタ
117	スイッチ
118	PNPトランジスタ
119	定電流源
120	FPN補正定電流源出力 (FPN <sub>out</sub> )
201	水平シフトレジスタ
202	マルチプレクサ
203	FPN補正定電流源
204	読み出し回路 (FPN補正定電流源以外の部分)
206	垂直シフトレジスタ
207	検出器
208	画素スイッチ
209, 210	FPNデータバッファ
211	NMOSFET
212	出力 (Out)
$\phi V$	垂直同期信号
$\phi H$	水平同期信号
V1, V2, . . .	垂直選択信号
VC	積分波形
$\phi R$	リセットパルス
$\phi S/H$	サンプル・ホールドパルス
$\phi H'$	水平同期信号
$\phi CLK$	クロック
H1, H2, . . .	水平選択信号
Out	出力
DFPN	FPN補正データ
LE	ラッチイネーブル
501	撮像素子

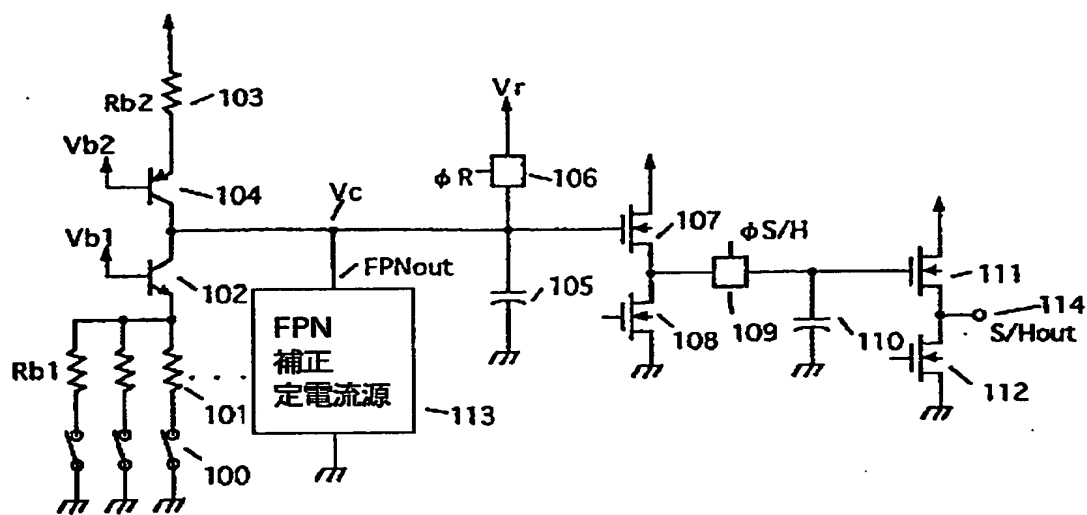
- 502 増幅器
- 503 サンプル・ホールド回路
- 504 A/Dコンパータ
- 505 VRAM
- 506 FPNメモリコントローラ
- 507 FPNメモリ
- 508 デジタル減算器
- 509 D/Aコンパータ
- 510 NTSC信号発生器
- 511 コンパレータ
- 512 FPNメモリコントローラ
- 513 FPNメモリ
- 514 温度安定化素子
- 515 温度安定化素子制御回路
- 516 光学系
- 601～607 ステップ
- 701 検出器
- 702 N型電界効果トランジスタ
- 703 抵抗
- 704 P型電界効果トランジスタ
- 705 積分コンデンサ
- 706 リセットスイッチ
- 707, 708 N型電界効果トランジスタ
- 709 スイッチ
- 710 ホールドコンデンサ
- 711, 712 N型電界効果トランジスタ
- 713 FPN補正定電流源
- 714 サンプル・ホールド出力 (S/H<sub>out</sub>)
- 715 抵抗

- 716 N型電界効果トランジスタ
- 717 スイッチ
- 718 P型電界効果トランジスタ
- 719 定電流源
- 720 FPN補正定電流源出力 (FPN<sub>out</sub>)
- 20 半導体基板
- 21 走査回路
- 22 シリコン酸化膜
- 23 空洞
- 24 グラウンド配線 (アルミ)
- 25 信号配線 (アルミ)
- 26 スリット
- 27 チタンボロメータ
- 28 シリコン酸化膜
- 29 窒化チタン
- 30 垂直選択線
- 901, 903 チタンボロメータ
- 902 NPNトランジスタ
- 904 PNPトランジスタ
- 905 積分コンデンサ
- 906 リセットスイッチ
- 907 ソースフォロワ
- 908 負荷トランジスタ
- 909 水平スイッチ
- 910 水平シフトレジスタ
- 911 水平信号線
- 912 ソースフォロワ
- 913 負荷トランジスタ
- 914 出力

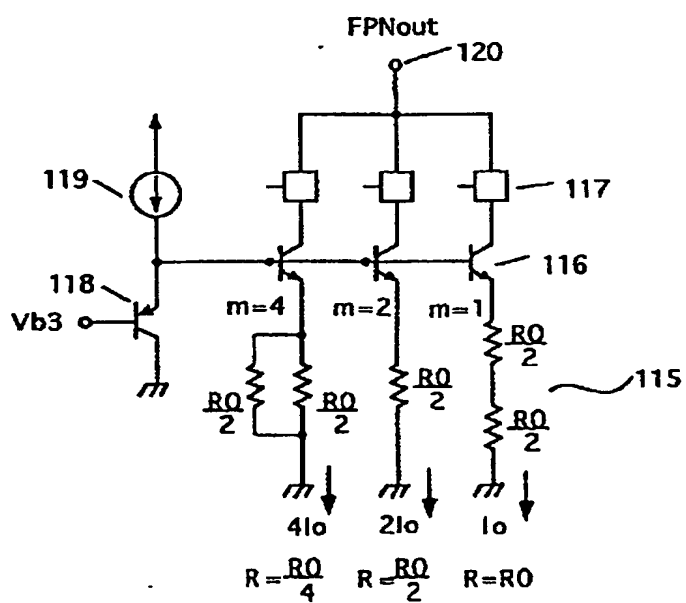
- 915 ランプ波形発生器
- 916 水平スイッチ
- 917 水平シフトレジスタ
- 918 水平信号線
- 919 垂直シフトレジスタ
- 920 画素スイッチ
- 921～928 レベル変換器
- 929 水平データ
- 930 水平クロック
- 931 S/Hパルス
- 932 リセットパルス
- 933 水平データ
- 934 水平クロック
- 935 垂直データ
- 936 垂直クロック

【書類名】 図面

【図 1】

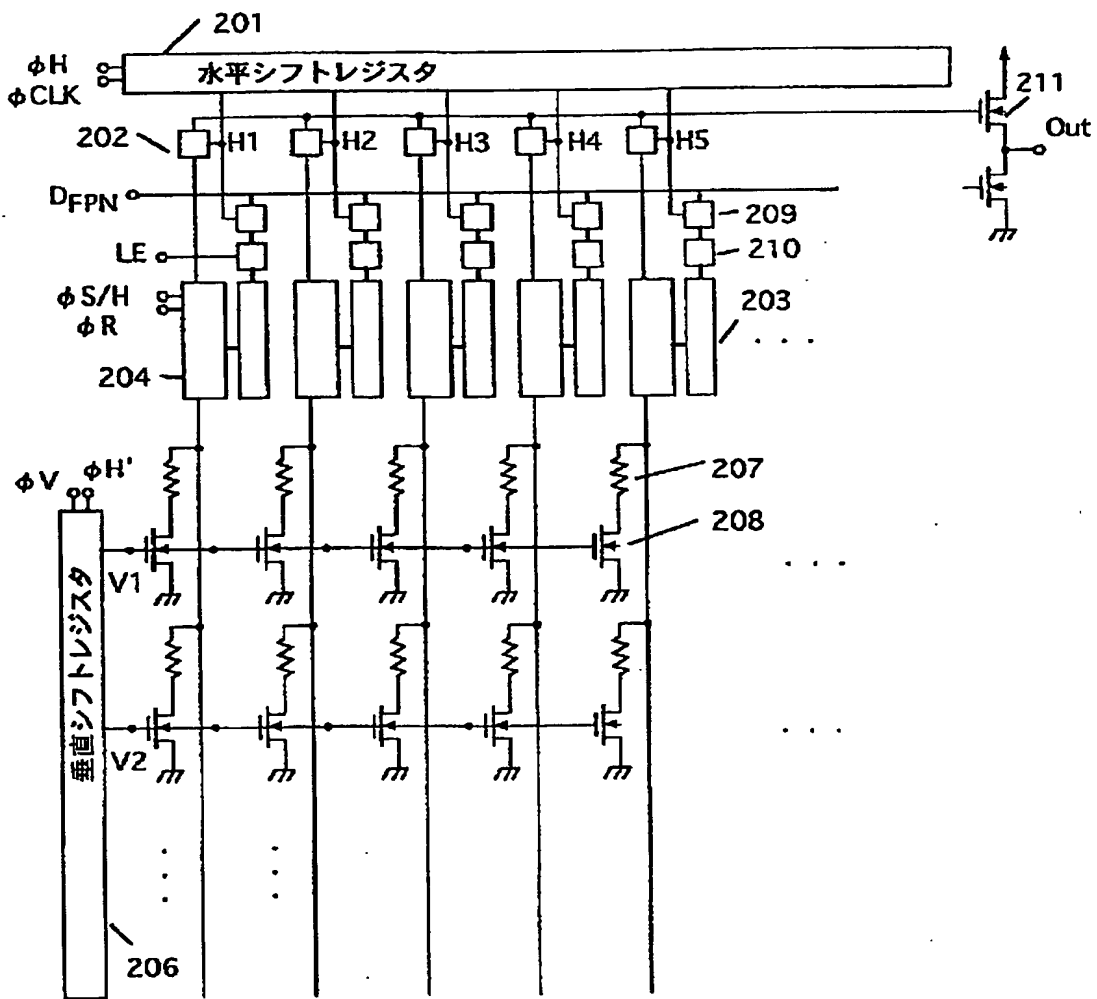


(a)



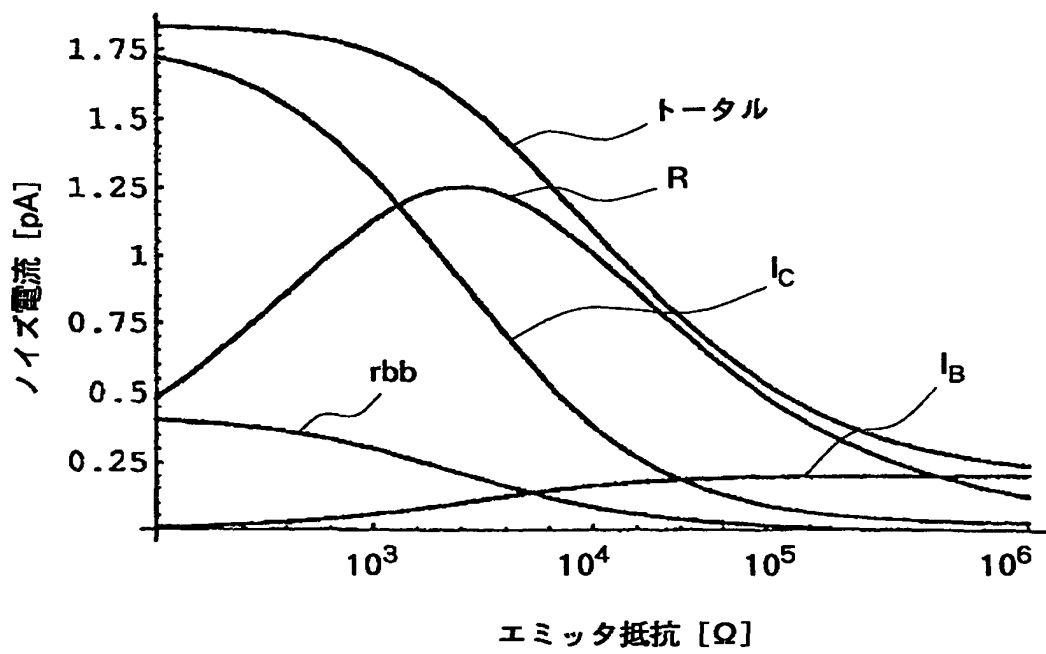
(b)

【図2】

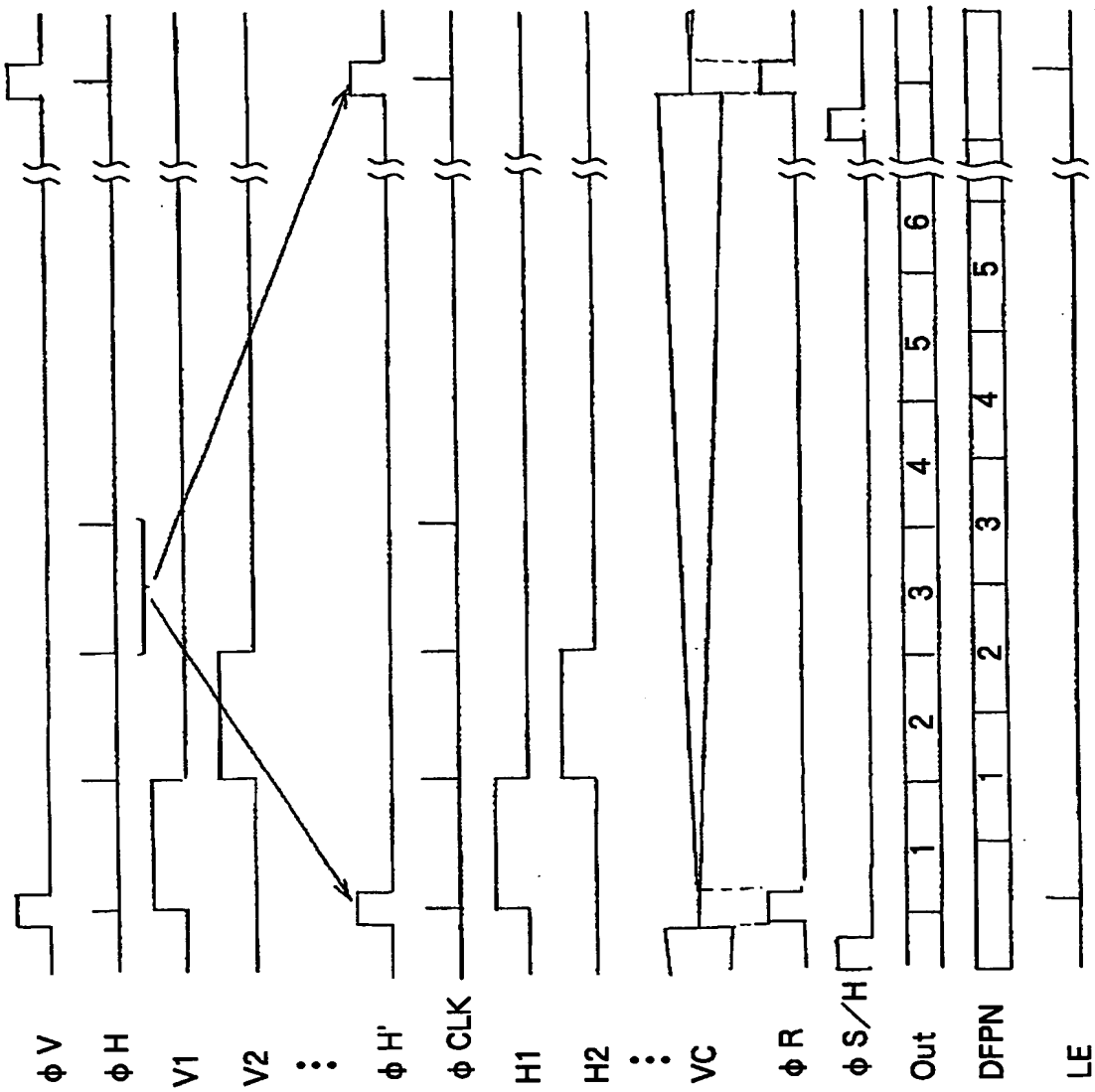




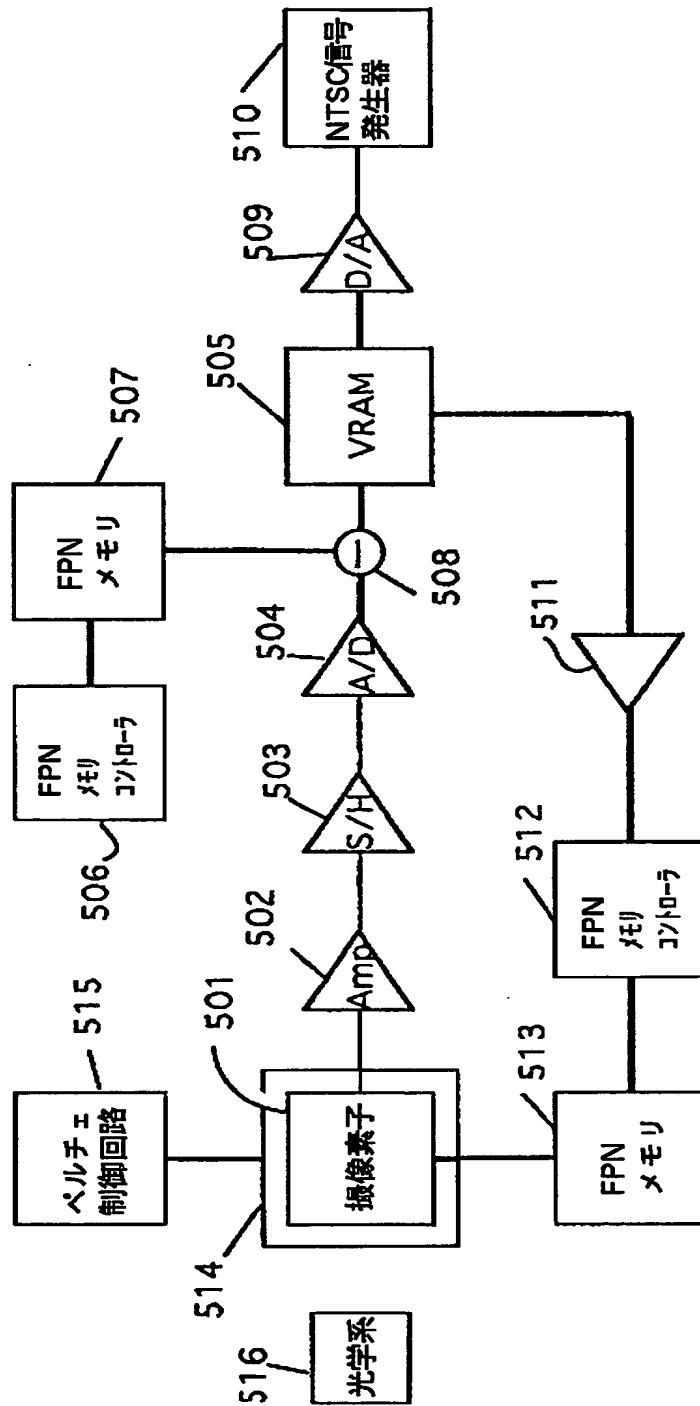
【図3】



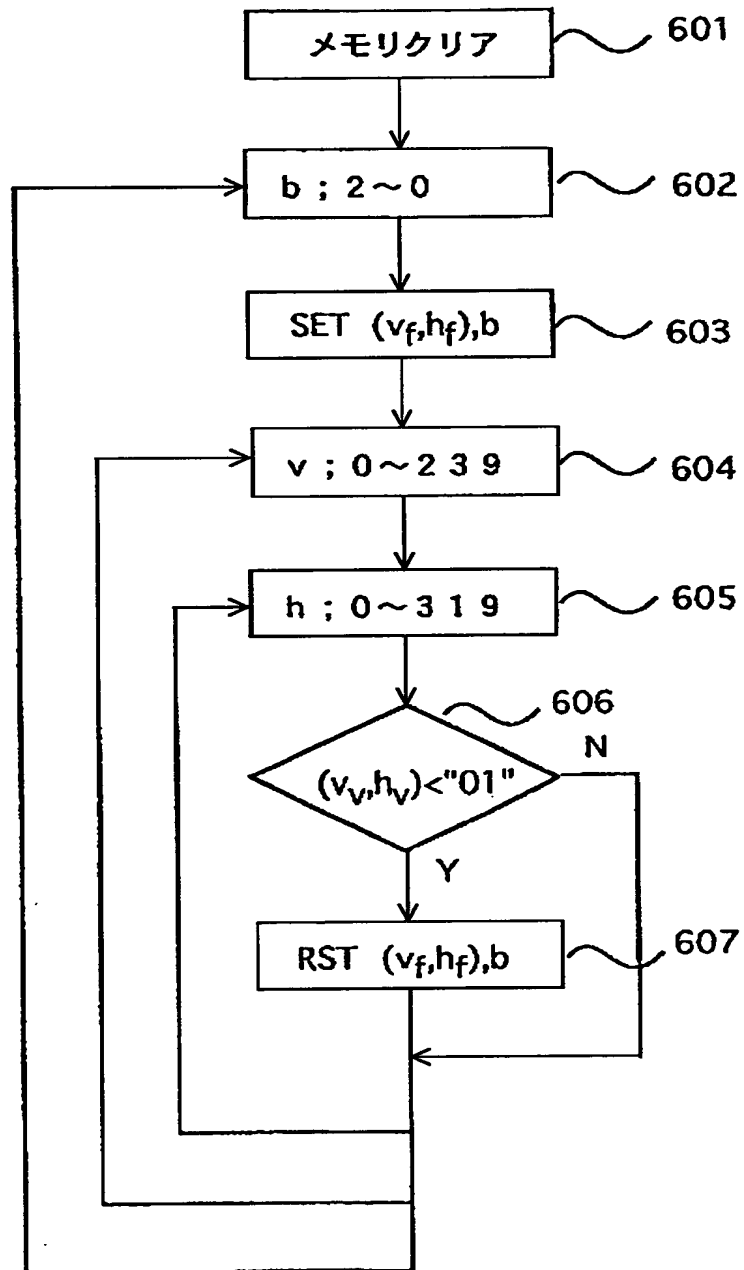
【図4】



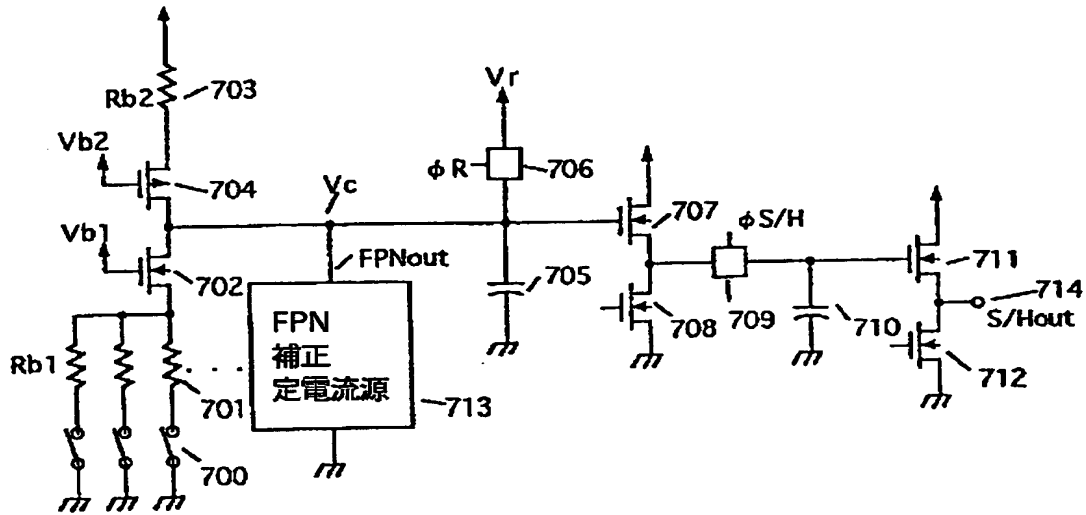
【図5】



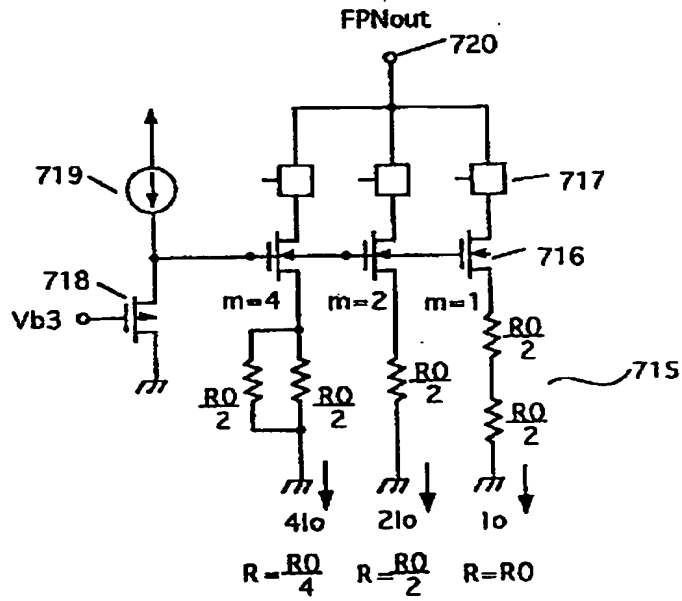
【図6】



【図7】



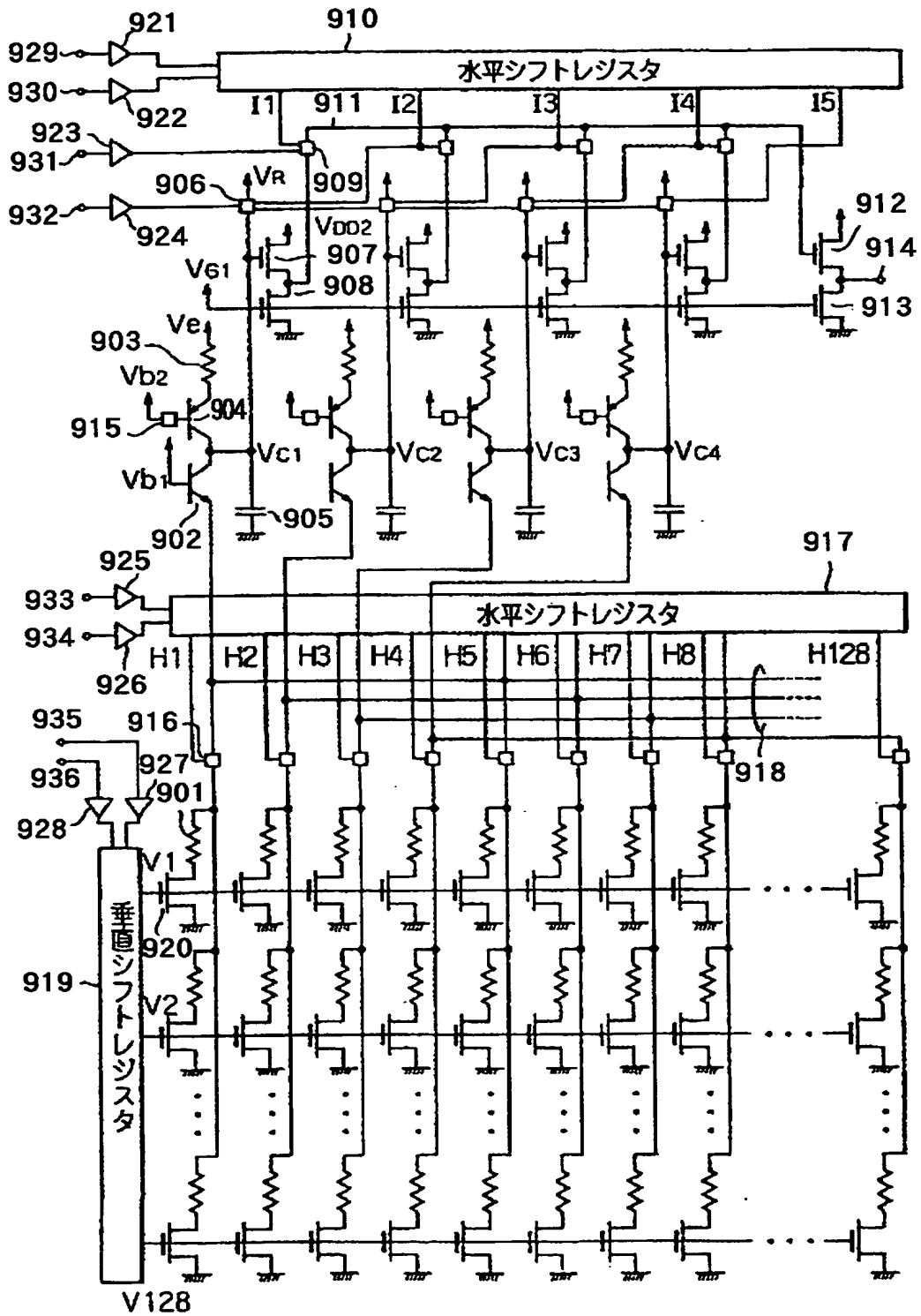
(a)



(b)



【図9】



【書類名】 要約書

【要約】

【課題】 検出器は増幅素子のばらつき等によって起こる画素間のばらつきを補正し、撮像素子内または撮像素子外において行う信号増幅や信号処理を円滑に行う。

【解決手段】 撮像素子の読み出し回路は、電磁波を電気信号に変換する複数の検出器101と、この検出器101に一定のバイアス電流を流す第1の定電流源102と、この第1の定電流源102につながり、検出器101のばらつきを補正する第2の定電流源であるFPN補正定電流源113と、同様に第1の定電流源102につながり前記バイアス電流をキャンセルする第3の定電流源104を有する。第2の定電流源113は複数組のバイポーラトランジスタ116と抵抗115からなり、この抵抗115の抵抗値は各バイポーラトランジスタ116のエミッタサイズに反比例する。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000004237  
【住所又は居所】 東京都港区芝五丁目7番1号  
【氏名又は名称】 日本電気株式会社  
【代理人】 申請人  
【識別番号】 100070219  
【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル  
8階 若林国際特許事務所  
【氏名又は名称】 若林 忠  
【選任した代理人】  
【識別番号】 100100893  
【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル  
8階  
【氏名又は名称】 渡辺 勝  
【選任した代理人】  
【識別番号】 100088328  
【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル  
8階  
【氏名又は名称】 金田 暢之  
【選任した代理人】  
【識別番号】 100106138  
【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル  
8階  
【氏名又は名称】 石橋 政幸  
【選任した代理人】  
【識別番号】 100106297  
【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル  
8階 若林国際特許事務所  
【氏名又は名称】 伊藤 克博

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社